

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 60-253065

(43)Date of publication of application : 13.12.1985

(51)Int.Cl.

G11B 20/10

G11B 20/12

(21)Application number : 60-104357

(71)Applicant : SONY CORP

(22)Date of filing : 16.05.1985

(72)Inventor : JIEEMUSU HETSUDOREE
UIRUKINSON

(30)Priority

Priority number : 84 8412500

Priority date : 16.05.1984

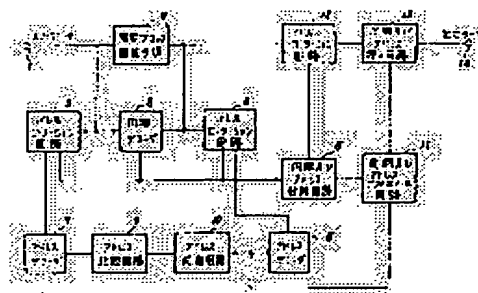
Priority country : GB

(54) DECODING SYSTEM OF DIGITAL DATA

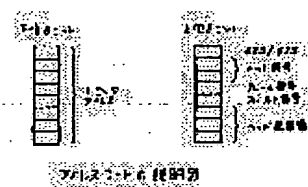
(57)Abstract:

PURPOSE: To use both synchronizing and address codes, and to inspect an advance of the address code by detecting a position of the synchronizing code if an input data, increasing by one each whenever a block address is shifted to the next address, and arranging the input data by using the synchronizing code.

CONSTITUTION: A synchronizing code decoder 5 brings a data to a barrel rotation by circuits 3, 4 in accordance with a phase of a detected synchronizing code, and address decoders 7, 8 decode an output of the circuits 3, 4, execute a single error identification and a correction, and apply an end flag. Two error detections are indicated by different flags. An address comparing circuit 9 compares two continuous block addresses of the decoders 7, 8, and advances a block address by one each by an address advancing circuit 10. A result of comparison is supplied to a synchronizing code and address code analyzing circuit 6, and when the address of the latter is more by one than the former, a code from the decoder 8 and a data start pulse from the decoder 5 are loaded to a synchronizing code and address code fly-wheel circuit 11. The circuit 6 supplies a signal to a circuit 12 and confirms a correct rotation of the data.



デジタルデータのデコーディング装置の
一の実施例のブロック図



タイミング図

⑫ 公開特許公報(A)

昭60-253065

⑤ Int.Cl.

G 11 B 20/10
20/12

識別記号

庁内整理番号

6733-5D
8524-5D

⑬ 公開 昭和60年(1985)12月13日

審査請求 未請求 発明の数 1 (全6頁)

⑭ 発明の名称 デジタルデータのデコーディング方式

⑮ 特 願 昭60-104357

⑯ 出 願 昭60(1985)5月16日

優先権主張 ⑰ 1984年5月16日 ⑱ イギリス(GB) ⑲ 8412500

⑳ 発 明 者 ジェームス・ヘツドレー イギリス国 ハンプシャー ペーシングストーク タッド
ー・ウィルキンソン レー ヒーランズ ハンブル・ドライブ 17

㉑ 出 願 人 ソニー株式会社 東京都品川区北品川6丁目7番35号

㉒ 代 理 人 弁理士 伊藤 貞 外1名

明 細 書

発明の名称 デジタルデータのデコーディング方式

特許請求の範囲

連続せるデータブロックに関連した同期コード及び夫々あるデータブロックから次のデータブロックに移る毎に1ずつ増加するデータブロックアドレスを有するアドレスコードを夫々含む入力デジタルデータのデコーディング方式において、

入力デジタルデータを検査して上記同期コードの位置を見付け、

上記連続せるアドレスコードを検査して、上記ブロックアドレスがあるアドレスコードから次のアドレスコードに移る毎に1ずつ増加するかどうかを確かめ、

若し上記ブロックアドレスがあるアドレスから次のアドレスに移る毎に1ずつ増加したら、上記データブロックの次のデコーディングのために、上記同期コードを用いて入力デジタルデータを整理させるようにしたことを特徴とするデジタルデ

ータのデコーディング方式。

発明の詳細な説明

(産業上の利用分野)

本発明は同期コード及びアドレスコードを有するオーディオ又はビデオデジタルデータの如きデジタルデータをデコーディングする方式に関する。

(発明の概要)

本発明はデジタルデータのデコーディング方式に関し、接続せるデータブロックに関連した同期コード及び夫々あるデータブロックから次のデータブロックに移る毎に1ずつ増加するデータブロックアドレスを有するアドレスコードを夫々含む入力デジタルデータのデコーディング方式において、入力デジタルデータを検査して同期コードの位置を見付け、連続せるアドレスコードを検査して、ブロックアドレスがあるアドレスコードから次のアドレスコードに移る毎に1ずつ増加するかどうかを確かめ、若しブロックアドレスがあるアドレスから次のアドレスに移る毎に1ずつ増加した

ら、データブロックの次のデコーディングのために、同期コードを用いて入力デジタルデータを整列させるようにすることにより、入力同期コードに於けるランダムエラーに抗し得、入力デジタルデータに含まれている同期コード及びアドレスコードの両者を用い得、入力デジタルデータに含まれているアドレスコードの、あるデータブロックから次のデータブロックに移る際の前進を検査し得るようにしたものである。

(従来技術)

例えば、入力ビデオ信号をサンプリングしてデータワードにするために、そのサンプリングされたビデオ信号をパルスコード変調することによってデジタル化されるビデオ信号の場合、データワードをブロック構成にすることは普通に行われていることである。同期コード及びアドレスコードは各データブロックに関連せしめられるので、アドレスコードはブロックアドレスを含む。このようにして得られた直列デジタルデータは、信号路

を通過して伝送され、又はデジタルビデオテープレコードを用いて記録及び再生される。

受信又は再生の際、デジタルデータはデコーダに供給される。デコーダの機能は、同期コードの識別とアドレスコードのデコーディングである。同期コードの識別によって、アドレスコード及び関連したデータブロックの直列ストリーム中における位置を決定することができる。アドレスコードのデコーディングによって、データブロックが、ビデオフィールド又はフレーム中のそれらの正しい位置に属していることが分る。このデコーダとしては、フライホイール回路を有するデコーダを用いるのが普通である。斯るデコーダは、一旦入力同期コードにロックすると、例えばデジタルテープレコードにおけるドロップアウトに起因して、入力同期コード及びアドレスコードが短期間中断しても、同期コード及びアドレスコードを発生し続ける。

デコーダが斯るフライホイール回路を備えることによって、入力同期コード及びアドレスコード

を正確に識別する高い確率を得る必要性をそれほど減ずるものではないが、その結果少なからずフライホイール回路は迅速且つ正確にロックされ得る。

(発明が解決しようとする問題点)

デジタルビデオテープレコードからの再生におけるドロップアウトによる短期間の入力データの全損失に加えて、記録若しくは再生又はデータの伝送又は処理は、必ずランダムエラーを生じる。デジタルビデオ信号におけるデータワードに関する限り、エラー訂正を用いるのは現在普通であり、そのエラー訂正のあるものは、ランダムエラーの非常に高いレベルの訂正を行なうことが可能である。その結果、デコードされた信号におけるエラーの大きな原因が、ランダムエラーに直面して、同期コード及びアドレスコードを正確に識別するデコーダが無いことにある場合は、問題が生じる。これは、同期コード及びアドレスコードのランダムエラーからの何らかの保護が必要であることを

意味するが、しかし、エラー訂正を行なうためにのみ含まれているなんらかの冗長なデータのための過大な経費を伴わずして、その保護が図られることもまた重要である。

かかる点に鑑み本発明は、入力デジタルデータに含まれている同期コード及びアドレスコードの両者を用い得、入力デジタルデータに含まれているアドレスコードの、あるデータブロックから次のデータブロックに移る際の前進を検査し得るデジタルデータのデコーディング方式を提案しようとするものである。

(問題点を解決するための手段)

本発明によるデジタルデータのデコーディング方式は、連続せるデータブロックに関連した同期コード及び夫々データブロック毎に1ずつ増加するデータブロックアドレスを有するアドレスコードを夫々含むデジタルデータのデコーディング方式において、入力デジタルデータを検査して同期コードの位置を見付け、連続せるアドレスコード

を検査して、ブロックアドレスがあるアドレスコードから次のアドレスコードに移る毎に1ずつ増加するかどうがを確かめ、若しブロックアドレスがあるアドレスから次のアドレスに移る毎に1ずつ増加したら、データブロックの次のデコーディングのために、同期コードを用いて入力デジタルデータを整列させるようにしたものである。

(実施例)

第1図は、本発明を適用したデジタルビデオ信号のデコーディングを行う装置の一例を示す。デジタルビデオテープレコーダを用いて記録されるべきビデオ信号はサンプルされ、そのサンプルされたビデオ信号はパルスコード変調されてデータワードとなされる。このデータワード及び関連したエラー訂正コードは、夫々66個の8ビットワードから成るデータサブブロックにて構成される。そして、データサブブロックは、対をなすデータブロックを構成するようになされ、その各データブロックは、いわゆる同期ブロックを形成するた

めの同期コード及びアドレスコードに関連せしめられている。

各アドレスコードは、同じ16ビットから構成され、各ビットパターンはアドレスコード及びデータブロックに於いて、統計的に殆んど起り得ないようなパターンに選ばれている。

各アドレスコードは基本的には16ビットから構成され、この16ビットは8ビットずつの2つのグループに分けて考えられ、これらビットは第2図に示すように割当てられる。即ち、下位8ビットはブロックアドレスを表わし、このブロックアドレスは各連続せる同期ブロック毎に1ずつ増加して、0～169の範囲で循環する数である。上位8ビットに言及するに、第1のビット、即ちMSBはビデオ信号が625ライン又は525ラインテレビジョン方式に関連するものであるかどうかを表わし、第2及び第3ビットはデジタルビデオテープレコーダにおけるヘッド番号を表わし、第4ビットはフレーム番号を表わし、第5ビットはフィールド番号を表わし、第6～第8ビットは625ライ

ンテレビジョン方式における0～5の範囲のヘッド走査番号又は525ラインテレビジョン方式における0～4の範囲のヘッド走査番号を表わす。ここでは特に触れないが、勿論、ビデオ信号に関連したオーディオ信号が、記録のために同一の方式で処理され、或いは映像信号を伴わないオーディオ信号が記録のために一般に同じ形式で処理される。

ランダムエラーからの保護のために、同期コード及びアドレスコードの両方ともエラー訂正が行なわれる。先ず、アドレスコードに対する保護について検討する。

各アドレスコードの16ビットは4つの4ビットコードに分割される。そして、各4ビットコードは4-8コードの形で加えられるエラー訂正コードを有している。付加的に選択されたコードは、4個の1及び4個の0にて構成することによって、直流成分を無くして、アドレスコードを磁気記録及び再生に好適ならしめる。かくして、16ビットのアドレスコードは、エラー訂正のコーディング

によって32ビットに変換される。4-8コードは16、即ち 2^4 個の値を全部用いるのではなく、以下の表に示されるような14個の値のみが用いられる。

(表)

0	0001	1011
1	0010	1110
2	0011	0101
3	0100	0111
4	0101	1100
5	0110	1001
6	0111	0010
7	1000	1101
8	1001	0110
9	1010	0011
A	1011	1000
B	1100	1010
C	1101	0001
D	1110	0100

再び第2図を参照するに、16個の値全部ではなく、14個の値が、必要なアドレスコードに充当するに充分であるが、その理由は、ブロックアドレスが170の値を有し、 14^2 が196であるところから、残りの8ビットが、最初の5ビットの32に、最後の3ビットの最大値である6を掛けて得られた、最大値である192コード値を有しているから

である。

このアドレスコーディングのフォーマットは、アドレスコードにおける各8ビットワードの訂正を可能とするが、これをいっばいに使うと、かなりデコーディング処理の安全性を減少させることになる。有用な選択から選ばれた訂正のモードは、32ビットのアドレスの全体において、たった1個のエラーが生じるだけである。32ビットのアドレスコードを有する約 2^{15} ($\log_2 (192 \times 170)$) ビットのアドレス情報があるので、エラー訂正のない、デコーディングの安全性は $32 - 15 = 17$ ビットである。1個のエラーには32個の可能な位置があるので、有効なアドレスコードの数は $2^{15} \times 32$ ずつ増加せしめられる。この結果、デコーディングの安全性は、約 $32 - 15 - 5 = 12$ ビットとなる。これを以下に更に詳細に説明する。

同期コードの保護について検討する。第3図に示す如く、デコーディングのためのデータの直列ストリームは、不変の16ビットの同期コードに各対が関連したデータサブブロック D1a, D1b,

D2a, D2b 等の対によって形成された夫々の連続せるデータブロックを有する連続せる同期ブロックから成っている。各同期ブロックにおいては、既に述べたように変化する32ビットのアドレスコード A₁, A₂, A₃, A₄ 等がある。連続せるアドレスコード A₁ 等の中で、ブロックアドレスが1ずつ増加するということが、現状における特別な妥当性を有する。

再生後に16ビットの同期コードをテストした時、2つの連続した同期コードは連続してデコーディングするために必要である。これにより、32ビットまで、同期コードの有効長が広がる。1マッチ (match) に 2^{22} 分の1の確率があり、即ち1対の16ビットの連続が同期コードと同じである。32ビットの同期コードのテスト時に、たとえ少なくとも32マッチの内の31ビットでも満足される多数論理デコーディング回路を用いることによって、効果的なエラー訂正が行われる。この結果、不正確なデコーディングの確率は 2^{22} 分の33 (33は略 2^5 に等しい)、即ち、略 2^{27} 分の1となる。安

全性を増加させるための、不正確なデコーディングに対するレベルは、それほど高くなく、アドレスコードはこの段階でデコードされ、検査は2つの連続するブロックアドレスの存在に役立つ。

若し現在のアドレスが前のアドレスと比較されれば、その時たった1つ前のアドレス値が可能となる。前のアドレスにおける単一エラー訂正は、ファクト33だけ有効なコードの数を増加する。それゆえ、デコーディングの安全性は32ビットから略27ビットに減少する。連続せるアドレスは対を形成するので、正しいアドレス対を誤ってデコーディングする確率は $2^{-22} \times 2^{-27} = 2^{-49}$ である。それゆえ、誤ってそのアドレスをデコーディングする確率は各 2^{49} 個の同期ブロックにつき1回に限られ、ビデオ信号における正常なデータレートは、秒当り略50万同期ブロックであるから、誤ったアドレスをデコーディングする確率は300~400時間に1回である。

更に同期コードが正しい位置にあれば、アドレスコーディングは動作し、若し間違った同期コー

ドが検出されれば、その時はアドレスコードによって与えられた付加的な検査によって必要な安全性を確保する。同期コード及びアドレスコードが間違えて検出される可能性は頗る高い。その確率は同期コード及びアドレスコードの独立な欠除の積、即ち $2^{-22} \times 2^{-22} = 2^{-44}$ である。250Mビット/secのデータレートにおいて、これの生じる確率は高々100万年に1回程度以下である。

デジタルビデオ信号をデコーディングする装置の具体例を第1図を参照して説明する。この装置は、再生後又は伝送後にデジタルビデオ信号から形成された入力データが供給される入力端子(1)を有する。入力端子(1)は同期ブロック遅延手段(2)に接続される。同期ブロック遅延手段(2)の入力端子及び出力端子からの各データは夫々バレルローテーション回路 (barrel rotation circuits) (3), (4) 及び同期コードデコード(5)の両入力端子に供給される。同期コードデコード(5)は、制御信号をバレルローテーション回路(3)及び(4)並びに同期及びアドレ

同期コード分析回路(6)に供給する。パレルローテーション回路(3)及び(4)はその出力を夫々アドレスデコーダ(7)及び(8)に供給し、各アドレスデコーダ(7)及び(8)はデコードされたブロックアドレスを夫々アドレス比較回路(9)の入力端子に供給し、アドレスデコーダ(8)から供給されたブロックアドレスは初めにアドレス前進回路(10)によって1ずつ増加せしめられる。アドレス比較回路(9)は制御信号を同期コード及びアドレスコード分析回路(6)に供給し、一方アドレスデコーダ(8)からのブロックアドレスは同期コード及びアドレスコードフライホイール回路(11)に供給される。更に、同期コード及びアドレス分析回路(6)は制御信号をパレルローテーション回路(12)に供給する。このパレルローテーション回路(12)は同期ブロック遅延手段(2)の出力端子からのデータを受け取り、そのデータを同期コード及びアドレスコード挿入回路(13)に供給する。この挿入回路(13)は必要な同期コード及びアドレスコードを

受け取り、これを同期コード及びアドレスコードフライホイール回路(11)からのデータに挿入する。同期コード及びアドレスコード挿入回路(13)は、データをデコードし、ビデオ信号に戻すべく処理のために、挿入された同期コード及びアドレスコードを含む出力データを出力端子(14)に供給する。

次にこの装置の動作を説明しよう。先ず、入力端子(1)に供給された入力データは、たゞん整列された8ビットワードのビット連続を有せず、同期ブロック遅延手段(2)は、信号を所定の間隔をおいて同期コードデコーダ(5)に供給する。同期コードデコーダ(5)は、これが正確に少なくとも32ビット同期コードの内の31ビットを認識する場合に、デコーダ(5)のプログラマブルリードオンリーメモリによって検出された同期コードの位相に応じて、データをパレルローテーション回路(3)、(4)によってパレル回転させる。

そして、各パレルローテーション回路(3)、(4)の出力は、夫々アドレスデコーダ(7)、

(8)によって8-4デコードされ、各デコーダ(7)、(8)は、アドレスコードをデコードし、単一のエラー識別及び訂正を行ない、更にフラグシグナルを加えて、これが終了したことを示すフラグシグナルを加えるプログラマブルリードオンリーメモリを有する。2つのエラー検出もまた異なるフラグ信号によって示されるが、この検出の精度は独立には保証され得ない。そして、アドレス比較回路(9)は、アドレスデコーダ(7)、(8)によって得られた2つの連続せるブロックアドレスを比較し、ブロックアドレスは、アドレスデコーダ(8)によって供給されたアドレス前進回路(10)によって1ずつ前進せしめられる。比較の結果は、上述したエラーフラグと共に同期コード及びアドレスコード分析回路(6)に供給され、この回路(6)はエラー分析のためのプログラマブルリードオンリーメモリを有する。若し、後者のブロックアドレスが前のブロックアドレスよりも1つ多いことが検出され、エラーが検出されないか、又は単一エラーが検出されて訂正され

れば、アドレスデコーダ(8)からの8-4デコードされた16ビットのアドレスコードは同期コード及びアドレスコードフライホイール回路(11)にロードされる。同様に同期コードデコーダ(5)からのデータスタートパルスは同期コード及びアドレスコードフライホイール回路(11)にロードせしめる。同期コード及びアドレスコード分析回路(6)は信号をパレルローテーション回路(12)に供給してデータの正しいローテーションを確認する。そして、同期コード及びアドレスコードフライホイール回路(11)は同期コード及びアドレスコードを同期コードアドレスコード挿入回路(13)に供給して、データが出力端子(14)に供給される手前で、オリジナル同期アドレスコードに挿入する。

デジタルビデオ信号は定速度で再生され、しかしそればスローモーションモードにおいて非常に満足すべき動作に充分であり、更に同期コード及びアドレスコードを検査して、その位置決めをする事が1同期ブロックよりわずかに多いと認識さ

れる、上述した仮定の非常に高い安全性は、高速モードにおける満足すべき動作に遙に不満である。
勿論種々の変形が可能で、特に同期コード及びアドレスコードの数及びデータブロックにおけるデータワードの数は本発明の主旨を逸脱しない範囲で変更可能である。

(発明の効果)

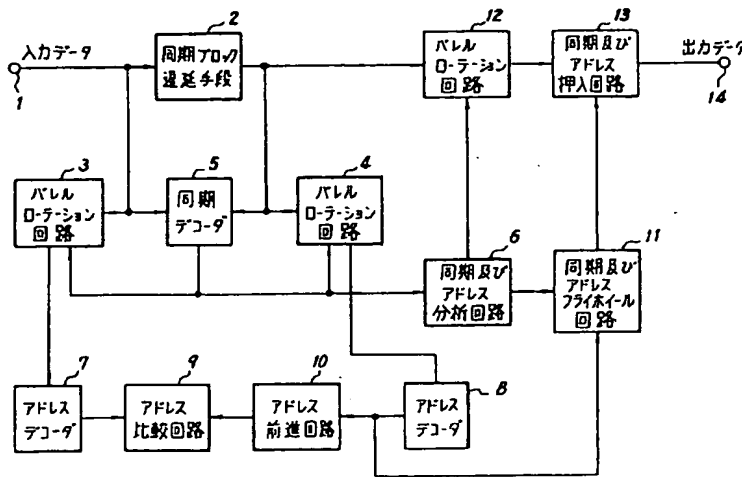
上述せる本発明によれば、入力デジタルデータに含まれている同期コード及びアドレスコードの両者を用い得、入力デジタルデータに含まれているアドレスコードの、あるデータブロックから次のデータブロックに移る際の前進を検査し得るデジタルデータのデコーディング方式を得ることができる。

図面の簡単な説明

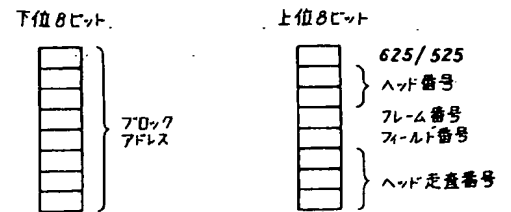
第1図は本発明を適用したデジタルビデオ信号をデコードする装置の一例を示すブロック線図、第2図はデジタルビデオ信号のアドレスコードのフォーマットを示す説明図、第3図はデジタルビ

デオ信号のフォーマットを示す説明図である。

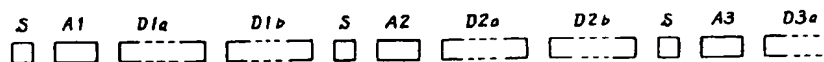
代理人 伊藤 貞
同 松隈 秀盛



デジタルデータのデコーディング装置の一例を示すブロック線図
第1図



アドレスコードの説明図
第2図



デジタルビデオ信号のフォーマットを示す図
第3図